

M. HAYAMA
September 23 1999

日本国特許庁 Q 55778
PATENT OFFICE
JAPANESE GOVERNMENT

10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1998年 9月28日

出願番号
Application Number:

平成10年特許願第273659号

出願人
Applicant(s):

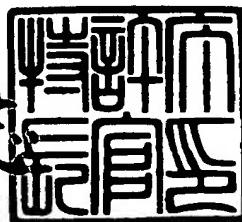
日本電気アイシーマイコンシステム株式会社



1999年 3月26日

特許庁長官
Commissioner,
Patent Office

佐山 建志



出証番号 出証特平11-3017896

【書類名】 特許願
 【整理番号】 01210057
 【提出日】 平成10年 9月28日
 【あて先】 特許庁長官 殿
 【国際特許分類】 G06F 11/34
 【発明の名称】 フラッシュメモリを備えたマイクロコンピュータおよび
 フラッシュメモリへのプログラム格納方法
 【請求項の数】 6
 【発明者】
 【住所又は居所】 神奈川県川崎市中原区小杉町一丁目403番53 日本
 電気アイシーマイコンシステム株式会社内
 【氏名】 葉山 雅洋
 【特許出願人】
 【識別番号】 000232036
 【氏名又は名称】 日本電気アイシーマイコンシステム株式会社
 【代理人】
 【識別番号】 100070219
 【弁理士】
 【氏名又は名称】 若林 忠
 【電話番号】 03-3585-1882
 【選任した代理人】
 【識別番号】 100100893
 【弁理士】
 【氏名又は名称】 渡辺 勝
 【選任した代理人】
 【識別番号】 100088328
 【弁理士】
 【氏名又は名称】 金田 賀之

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【手数料の表示】

【予納台帳番号】 015129

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9712889

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 フラッシュメモリを備えたマイクロコンピュータおよびフラッシュメモリへのプログラム格納方法

【特許請求の範囲】

【請求項1】 フラッシュメモリを備え、該フラッシュメモリに格納されるプログラムの書き換えを行うセルフプログラミング機能を持ったマイクロコンピュータにおいて、

前記フラッシュメモリに対する書き換え処理手順のプログラムを格納する書き換えプログラム領域と、

外部記憶手段または、前記書き換えプログラム領域に格納された書き換え用のプログラムを前記フラッシュメモリに書き込む際に、前記フラッシュメモリの一部に複数のフラグ領域を設け、書き換え処理の複数の段階の終了判定または良否の判定を行い、その結果を前記複数のフラグ領域のそれぞれに記録する制御装置とを有することを特徴とするフラッシュメモリを備えたマイクロコンピュータ。

【請求項2】 請求項1記載のフラッシュメモリを備えたマイクロコンピュータにおいて、

フラッシュメモリには消去可能な1つの単位であり、それぞれデータ領域およびフラグ領域を備えるブロックが複数設けられており、

制御装置は、前記複数のブロックの各データ領域を連続したアドレスにマッピングすることを特徴とするフラッシュメモリを備えたマイクロコンピュータ。

【請求項3】 フラッシュメモリを備え、該フラッシュメモリに格納されるプログラムの書き換えを行うセルフプログラミング機能を持ったマイクロコンピュータにおいて、

前記フラッシュメモリに対する書き換え処理手順のプログラムを格納する書き換えプログラム領域と、

外部記憶手段または、前記書き換えプログラム領域に格納された書き換え用のプログラムを前記フラッシュメモリに書き込む際に、前記フラッシュメモリの一部に複数のフラグ領域を設ける書き換え手段と、

書き換え処理の複数の段階の終了判定または良否の判定を行い、その結果を前

記書き換え手段を介して前記複数のフラグ領域のそれぞれに記録する制御装置とを有することを特徴とするフラッシュメモリを備えたマイクロコンピュータ。

【請求項4】 フラッシュメモリを備え、該フラッシュメモリに格納されるプログラムの書き換えを行うセルフプログラミング機能を持ったマイクロコンピュータにおいて、

前記フラッシュメモリに対する書き換え処理手順のプログラムを格納する書き換えプログラム領域と、

外部記憶手段または、前記書き換えプログラム領域に格納された書き換え用のプログラムを前記フラッシュメモリに書き込む際に、前記フラッシュメモリの一部に複数のフラグ領域を設ける書き換え手段と、

書き換え処理の複数の段階の終了判定または良否の判定を行い、その結果を前記書き換え手段を介して前記複数のフラグ領域のそれぞれに記録する制御装置と、

書き換え終了後の電源投入時に、各フラグ領域の読み出し値と予め保有するフラグ領域の期待値を比較してその結果を前記制御手段に通知するフラグ状態通知手段とを有することを特徴とするフラッシュメモリを備えたマイクロコンピュータ。

【請求項5】 請求項3または請求項4記載のフラッシュメモリを備えたマイクロコンピュータにおいて、

フラッシュメモリには消去可能な1つの単位であり、それぞれデータ領域およびフラグ領域を備えるブロックが複数設けられており、

書き換え手段は、前記複数のブロックの各データ領域を連続したアドレスにマッピングすることを特徴とするフラッシュメモリを備えたマイクロコンピュータ。

【請求項6】 フラッシュメモリを備え、該フラッシュメモリに格納されるプログラムの書き換えを行うセルフプログラミング機能を持ったマイクロコンピュータにおけるフラッシュメモリへのプログラム格納方法において、

書き換え用のプログラムを前記フラッシュメモリに書き込む際に、前記フラッシュメモリの一部に複数のフラグ領域を設け、書き換え処理の複数の段階の終了

判定または良否の判定を行い、その結果を前記複数のフラグ領域のそれぞれに記録することを特徴とするフラッシュメモリへのプログラム格納方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フラッシュメモリを備えたマイクロコンピュータおよびフラッシュメモリへのプログラム格納方法に関し、特に、フラッシュメモリに格納されるプログラムの書き換えを行うセルフプログラミング機能を持ったマイクロコンピュータおよびフラッシュメモリへのプログラム格納方法に関する。

【0002】

【従来の技術】

フラッシュメモリの書き換え処理の中止を検出し、誤動作防止を図ったデータ処理装置の従来例として、特開平8-6865号公報に開示されるものが知られている。

【0003】

図8は上記公報に開示される発明の概略構成を示す図である。図8において、CPU202はプログラム変更等の初期設定時において、ROM203からRAM206を介してフラッシュメモリ204にデータを1ブロックごと書き込むとともに、そのデータに対応づけて書き込み開始／終了を示す開始コードおよび終了コードをフラッシュメモリ204に書き込む書き換え処理を行う。

【0004】

CPU202は電源が投入されたときにフラッシュメモリ204の内容をRAM206にコピーする処理を行うが、その際、開始コードと終了コードに基づいてフラッシュメモリ204内のデータの書き込み不良を検出する。

【0005】

図9は、フラッシュメモリ204のデータ構造を示す図である。

【0006】

フラッシュメモリ204は複数のブロックに分割されている。各ブロックに対して、データ列101、開始コード103、終了コード104で構成されるデータ

タ列が書き込まれる。

【0007】

データ列101のデータ領域には、プログラムコードおよびデータテーブル等が含まれている。開始コード103および終了コード104は、あらかじめ決められた任意のデータであり、データ列101の前後に付加される。

【0008】

図10は従来の通常プログラム起動時の処理を示す図である。

【0009】

フラッシュメモリ204から1ブロック分のデータの読み出しが行われ（ステップC1）、その後、開始コードと終了コードを比較し（ステップC2）、続いて、ステップC2における比較結果の確認を行う（ステップC3）。先に読み込んだブロックのデータの書き換えが途中で中断していた場合等には、終了コードまたは、開始コードおよび終了コードが書き込まれていないため、開始コードと終了コードが一致せず、フラッシュメモリ204およびRAM206の設定を行い（ステップC4）、エラー処理を行った後に（ステップC5）RAM206上に格納された通常プログラムを起動して実行する（ステップC8）。

【0010】

ステップC3において、開始コードおよび終了コードが一致したことが確認された場合には、RAM206への書き込みを行い（ステップC6）、続いて全データについて処理が終了したかを確認する（ステップC7）。全データについて処理が終了している場合には、RAM206上に格納された通常プログラムを起動して実行する（ステップC8）。ステップC7において、全データについて処理が終了していないことが確認された場合には、ステップC1に戻ってステップC6までの動作を繰り返し、所定のブロック分のRAMへの転送を行う。

【0011】

以上説明を行ったように、従来例では開始コードおよび終了コードが期待値と一致していることを確認した場合、もしくは、フラッシュメモリおよびRAMの設定およびエラー処理を行った後に通常プログラムを起動することにより、フラッシュメモリの書き込み不良によるプログラムの誤動作を防止している。

【0012】**【発明が解決しようとする課題】**

しかしながら、従来例のフラッシュメモリを使用したデータ処理装置においては、次のような問題点がある。

【0013】

第1の問題点は、フラッシュメモリの書き換え不良を検出するための開始コードおよび終了コードの書き込みを、フラッシュメモリへの書き換え時のみに行っているため、書き換え処理の初期段階に中断されたときの書き換え不良について検出できない場合がある。

【0014】

例えば、フラッシュメモリの消去処理の初期段階で書き換え処理に中断が発生した場合、プログラムコードの一部がすでに消去されているが、開始コードと終了コードがたまたま消去されずに残っていることがあり、このような場合には誤動作を起こす可能性がある。

【0015】

また、すべてのアドレスが消去されずに残っていた場合でも、書き換え以前のプログラムのままであるので、期待する動作とは異なることになる。

【0016】

第2の問題点は、データ領域の書き込みデータの一部として開始コードと終了コードを付加するため、CPUがフラッシュメモリ上のプログラムを直接実行する構成であり、各ブロックの境界に付加された場合には、プログラムの作成が困難となる点があげられる。特に、特定のアドレスにリセットベクタや割り込みベクタが固定されるような構成のコンピュータシステムも存在し、このようなコンピュータシステムでリセットベクタや割り込みベクタが開始コードや終了コードを格納するアドレスに固定されている場合にはプログラムが作成できない。

【0017】

さらに、従来例では一旦RAM上にプログラムを読み込んで実行する構成となっているが、シングルチップマイクロコンピュータのようなメモリを内蔵するものの場合には、実行するプログラムを格納するためのRAMを余分に用意する必

要が生じ、コストが高くなってしまうという問題点がある。

【0018】

また、フラッシュメモリからRAMにプログラムを転送するため、通常処理プログラムの起動に時間を要するという問題点がある。

【0019】

本発明は上述したような従来の技術が有する様々な問題点に鑑みてなされたものであって、セルフプログラミング機能を持ったフラッシュメモリ内蔵マイクロコンピュータにおいて、フラッシュメモリの書き換え処理の中斷による書き不良を確実かつ迅速に検出することのできるフラッシュメモリを備えたマイクロコンピュータおよびフラッシュメモリへのプログラム格納方法を実現することを目的とする。

【0020】

【課題を解決するための手段】

本発明のフラッシュメモリを備えたマイクロコンピュータは、フラッシュメモリを備え、該フラッシュメモリに格納されるプログラムの書き換えを行うセルフプログラミング機能を持ったマイクロコンピュータにおいて、

前記フラッシュメモリへの書き換え処理手順のプログラムを格納する書き換えプログラム領域と、

外部記憶手段または、前記書き換えプログラム領域に格納された書き換え用のプログラムを前記フラッシュメモリに書き込む際に、前記フラッシュメモリの一部に複数のフラグ領域を設け、書き換え処理の複数の段階の終了判定または良否の判定を行い、その結果を前記複数のフラグ領域のそれぞれに記録する制御装置とを有することを特徴とする。

【0021】

この場合、フラッシュメモリには消去可能な1つの単位であり、それぞれデータ領域およびフラグ領域を備えるブロックが複数設けられており、

制御装置は、前記複数のブロックの各データ領域を連続したアドレスにマッピングすることとしてもよい。

【0022】

本発明の他の形態によるフラッシュメモリを備えたマイクロコンピュータは、フラッシュメモリを備え、該フラッシュメモリに格納されるプログラムの書き換えを行うセルフプログラミング機能を持ったマイクロコンピュータにおいて、

前記フラッシュメモリへの書き換え処理手順のプログラムを格納する書き換えプログラム領域と、

外部記憶手段または、前記書き換えプログラム領域に格納された書き換え用のプログラムを前記フラッシュメモリに書き込む際に、前記フラッシュメモリの一部に複数のフラグ領域を設ける書き換え手段と、

書き換え処理の複数の段階の終了判定または良否の判定を行い、その結果を前記書き換え手段を介して前記複数のフラグ領域のそれぞれに記録する制御装置とを有することを特徴とする。

【0023】

本発明の他の形態によるフラッシュメモリを備えたマイクロコンピュータは、フラッシュメモリを備え、該フラッシュメモリに格納されるプログラムの書き換えを行うセルフプログラミング機能を持ったマイクロコンピュータにおいて、

前記フラッシュメモリへの書き換え処理手順のプログラムを格納する書き換えプログラム領域と、

外部記憶手段または、前記書き換えプログラム領域に格納された書き換え用のプログラムを前記フラッシュメモリに書き込む際に、前記フラッシュメモリの一部に複数のフラグ領域を設ける書き換え手段と、

書き換え処理の複数の段階の終了判定または良否の判定を行い、その結果を前記書き換え手段を介して前記複数のフラグ領域のそれぞれに記録する制御装置と、

書き換え終了後の電源投入時に、各フラグ領域の読み出し値と予め保有するフラグ領域の期待値を比較してその結果を前記制御手段に通知するフラグ状態通知手段とを有することを特徴とする。

【0024】

上記のいずれの場合においても、フラッシュメモリには消去可能な1つの単位であり、それぞれデータ領域およびフラグ領域を備えるブロックが複数設けられ

ており、

書き換え手段は、前記複数のブロックの各データ領域を連続したアドレスにマッピングすることとしてもよい。

【0025】

本発明のフラッシュメモリへのプログラム格納方法は、フラッシュメモリを備え、該フラッシュメモリに格納されるプログラムの書き換えを行うセルフプログラミング機能を持ったマイクロコンピュータにおけるフラッシュメモリへのプログラム格納方法において、

書き換え用のプログラムを前記フラッシュメモリに書き込む際に、前記フラッシュメモリの一部に複数のフラグ領域を設け、書き換え処理の複数の段階の終了判定または良否の判定を行い、その結果を前記複数のフラグ領域のそれぞれに記録することを特徴とする。

【0026】

「作用」

上記のように構成される本発明においては、フラッシュメモリの一部をフラッシュメモリの書き換え処理の進行状況を記録するフラグとして使用している。フラッシュメモリのプログラムを実行する際には、フラグの内容を確認することにより書き換え処理の進行状況を把握することができるので、フラッシュメモリの書き換え処理の中斷による書き込み不良を確実かつ迅速に検出することができる。

【0027】

【発明の実施の形態】

次に、本発明の実施例について、図面を参照して説明する。

【0028】

図1は本発明の一実施例の構成を示すブロック図である。本実施例は、マイクロコンピュータ1、CPU(制御手段)2、書き換えプログラム領域3、フラッシュ領域4、および、フラッシュ領域4の書き換えを行う書き換え手段5、各処理の一時的なデータを格納するためのRAM6およびこれらの間を接続する通信手段7から構成されている。

【0029】

図2は、フラッシュ領域4の構成を示す図であり、図2（A）は物理的な構成を示し、図2（B）は論理的な構成を示している。

【0030】

フラッシュ領域4には、消去可能な1つの単位であるブロックが複数設けられており、各ブロックは、書き換え処理の履歴を格納するフラグ領域と、プログラムやデータテーブルなどを格納するデータ領域から構成されている。ここでは、データ領域1およびフラグ領域1から構成されるブロック1に101の符号を付し、データ領域2およびフラグ領域2から構成されるブロック2に102の符号を付している。

【0031】

また、図2（B）に示すように、論理的なアドレスにおいて、各データ領域は、連続した空間にマッピングされている。

【0032】

図3は、電源投入時における本実施例の動作を示すフローチャートであり、以下に、本実施例の動作について図3を参照して説明する。

【0033】

書き換えプログラム領域3はフラッシュ領域4の書き換えを行うプログラムを格納するもので、図3における点線の右側は、フラッシュ領域4上に格納されたプログラムによる処理であり、点線の左側は、書き換えプログラム領域3上に格納されたプログラムによる処理である。

【0034】

電源が投入されると、まず、各部を初期状態に設定する初期設定処理が行われる（ステップA1）。初期設定処理後、フラッシュ領域4についての書き換え要求の有無を調べ（ステップA2）、フラッシュ領域4についての書き換え要求がある場合にはこれを実行し（ステップA3）、フラッシュ領域4についての書き換え要求が無い場合には、フラッシュ領域4の書き換え処理が正常になされたかを判定する（ステップA4）。

【0035】

ステップA4におけるフラッシュ領域の書き換え処理の正常性の判定は、図2

(A) に示したフラグ領域が期待値であるかどうかにより行われ、正常でないと判断された場合にはエラー処理を行い（ステップA5）、正常であると判断された場合には、フラッシュ領域4上に格納されたプログラムによる通常処理を実行する（ステップA6）。

【0036】

ステップA3における書き換え処理において、書き換え処理に含まれる消去や書き込み等の各々の処理が終了したときにその旨を示すフラグを変更する。ステップA4において書き換え処理の正常性を判断するための期待値には書き換え処理により変更されるフラグが用いられる。

【0037】

上記のようにして書き換えがなされたフラッシュ領域の内容については、各フラグを検出することにより、書き換えが正常になされたかを検出することができる。例えば、書き換え処理が途中で中断した場合、中断した処理以前にフラグが継続するために期待値とは異なる値となるため、フラッシュ領域4の書き換え処理が中断されたことが検出される。

【0038】

このようにして、本実施例では、フラッシュメモリの一部の書き換え処理の履歴を示すフラグを書き込み処理の正常性の判断に使用することにより、フラッシュメモリの書き換え途中で処理が中断した場合にこのことを検出することが可能であり、プログラムの誤動作によるセットの破壊や事故を防止出来るものとなっている。

【0039】

次に、上述した本実施例の動作についてさらに詳細に説明する。

【0040】

図4はフラッシュ領域4の構成を詳細に示す図であり、図4(A)は物理的な構成を示し、図4(B)は論理的な構成を示している。図4においては、図2に示したものに、アドレスの割り当て例を説明するための書き換えプログラム領域3と、各処理の一時的なデータを格納するためのRAM6を加えたものである。

書き換えプログラム領域3は、フラッシュ領域4を書き換えるためのプログラ

ムを格納している。フラッシュ領域4は通常動作時のプログラムを格納するもので、フラッシュ領域4に格納されるプログラムを変更することにより、本実施例を用いるシステムの機能を向上することやプログラムの不具合を修正することができる。

【0041】

フラッシュ領域4の書き換えは、書き換えプログラム領域(ROM)3に格納されているプログラムに従ったCPU2の制御により、書き換え手段5を用いて行われるもので、通信手段7により受け取られるプログラムコードへ書き換えが行われる。

【0042】

RAM6は、通常プログラム動作中、あるいは、書き換えプログラム領域3を書き換えるときなどに一時的にデータの格納を行う。

【0043】

図4に示す例は、RAM6、書き換えプログラム領域3、フラッシュ領域4をブロック数を3ブロック、各8Kバイトのデータ領域及び各1バイトのフラグ領域とした場合の例であるが、プログラムの作成を容易するために、図4(B)に示すように各メモリ領域をマップすることによりフラッシュ領域4内にデータ領域を連続的にとることができること。

【0044】

図5は、フラグ領域2の構成を示す図である。

【0045】

フラッシュEEPROMやEPROMの一般的な特徴として、書き込み時に書き込み値に変更されなかったビットを、後に再度書き込みを行うことにより、変更可能な構成となっている。

【0046】

たとえば、各ビット消去により“0”、書き込みにより“1”へと変更される構成の場合、0ビット目のみを一旦“1”に書き込んだ後、残りのビットを後に“1”へと書き込むことが可能である。ただし、一旦“1”を書き込んだビットは書き込みにより“0”に戻すことは出来ない。

【0047】

図5で挙げた例ではこのことを利用し、各フラグを1書き込み単位である1バイト内に割り当てた例である。BIT7～BIT0のそれぞれには、ベリファイエラーフラグ、ブランクエラーフラグ、書き換え終了フラグ、ベリファイ終了フラグ、書き込終了フラグ、ブランクチェック終了フラグ、消去終了フラグ、書き換え開始フラグが割り当てられている。

【0048】

フラッシュメモリのセルの構造によっては、書き込みを行うことにより劣化が生じる場合もあるが、フラグ領域のみ書き込みの回数が増えセルの寿命を縮めるので、このような場合には、1バイト毎など書き込み単位の大きさでフラグの意味付けを割り当てても良い。

【0049】

各フラグの割り当ては、最低限書き換え開始フラグおよび書き換え終了フラグが有れば本発明の第一の目的を果たすことが可能であるが、より細かな履歴を残すことにより、書き換えの中断を検出した後、再度書き込みを行う場合において、中断した後の処理から書き換え処理を続行することにより、再書き換えを効率よく行うことも可能となる。

【0050】

図6は、図5に示したフラグ領域の書き換え処理の動作を示すフローチャートであり、以下に書き換え処理について図6を参照して説明する。なお、フラッシュメモリは消去により“0”に、書き込みにより“1”に変更されるものとして説明を行う。

【0051】

図6において、書き換え処理を開始する時点では、フラグ領域は書き換えが正常に終了した場合の期待値である“00111110”となっており、まず書き換え処理を開始したことと示す書き換え開始フラグをセットするためフラグ領域に書き込みを行い、フラグ領域の値を“00111111”に変更することが行われる（ステップB1）。

【0052】

上記の書き換え開始フラグのセットにより、現在書き換えプログラム領域3に格納されているプログラムはすでに期待されるものとは異なるため、書き換え処理の初期段階で中断した場合でも書き換え処理が中断したこと検出できる。

【0053】

次に、書き換え領域の消去が行われるが（ステップB2）、フラグ領域も消去するために特にフラグ領域を特に指定して変更することなく、フラグ領域は“00000000”とされる。

【0054】

その後、消去が終了したことを示す消去終了フラグをセットし（ステップB3）、フラグ領域を“00000010”とする。

【0055】

つづいて、消去が完全に行われたかどうかを確認するためデータ領域のブランクチェックを行い（ステップB4）、その後ブランクチェックの結果を確認する（ステップB5）。ブランクチェックにて不一致が発生した場合ブランクエラーフラグをセットするが（ステップB6）、再度消去の処理からやり直しても良い。

【0056】

ブランクチェックが正常に終了した場合にはブランクチェック終了フラグをセットし（ステップB7）、フラグ領域を“00000110”とした後、引き続き書き込み処理を行う（ステップB8）。

【0057】

書き込み終了後、書き込み終了フラグをセットし（ステップB9）、フラグ領域を“00001110”に変更し、正常に書き込まれたかの確認のためのベリファイ処理を行う（ステップB10）。

【0058】

続いて、ベリファイ処理の結果を確認する（ステップB11）。ベリファイの結果、正常に書き込まれていることが確認された場合には、正常に書き込まれていなかつたことが確認された場合には、ベリファイエラーフラグをセットする（ステップB12）が、再度書き込みを行うこととしても良い。

【0059】

ベリファイの結果、正常終了後ベリファイ終了フラグおよび書き換え終了フラグをセットし（ステップB13，B14）、書き換え処理を終了する。

【0060】

以上説明を行ったように本実施例においては、書き換え処理の各ステップが終了することにそれぞれのステップが終了したことを示す履歴をフラグ領域に記録しているので、通常プログラム起動時に、フラッシュ領域4のフラグ領域を確認することにより書き換え処理が正常に終了したか、どの段階の処理で中断したかを検出することができる。

【0061】

図7は、本発明の第2の実施例の構成を示す図であり、以下に図7を参照して本発明の第2の実施例について説明する。

【0062】

本実施例は第1の実施例においては、CPU2の負担を低減することを目的として、単に書き換え作業を行っていた書き換え手段5の構成を異なるものとしたことにある。この他の構成は図1に示した第1の実施例と同様であるため、図1と同じ番号を付して説明は省略する。

【0063】

本実施例における書き換え手段5は、書き換え制御回路8、データ保持手段9、書き換え状態保持手段10、マルチプレクサ（MPX）11から構成されている。

【0064】

書き換え制御回路8は、フラッシュ領域4内の書き換え領域指定の制御、書き込み、消去などフラッシュ領域4に対する書き換えの制御などを、データ保持手段9、書き換え状態保持手段10およびマルチプレクサ11を用いて行うもので、書き換え対象としているブロックのアドレス情報とそのフラグのアドレス情報をマルチプレクサ11へ出力する。

【0065】

データ保持手段9は、フラッシュ領域4内のデータ領域の書き込みデータを保

持するもので、書き換え制御回路8の制御により書き込みデータをマルチプレクサ11へ出力する。

【0066】

書き換え状態保持手段10は、書き換え処理における各処理段階に関する情報および書き換え対象としているブロックの情報とを保持する。

【0067】

マルチプレクサ11は、書き換え制御回路8の制御により、データ領域に対する書き込み時にはデータ保持回路9の出力を選択してフラッシュ領域4に対して出力し、フラグ領域に対する書き込み時には、書き換え状態保持手段10の出力値を選択し、フラッシュ領域4に対して出力する。

【0068】

書き換え状態保持手段10の、マルチプレクサ11に対する出力値は、書き換え処理の各処理の終了時にフラグ領域に書き込まれる値になっており、次の処理段階に進むごとに書き換え制御回路8により更新される。

【0069】

以上説明したように、本実施例におけるフラグ領域に対する書き換えは書き換え状態保持手段10に格納されているアドレス情報の内容に従って書き換え制御回路8により行われる。CPU2は書き換え動作の開始や、書込内容の判定については行うが、各フラグ領域を特定のアドレスに割り当てる必要が無い。これによりCPU2の負担が低減され、他の処理を行うことが可能となっており、処理効率が向上したものとなっている。

【0070】

図7には上記の各構成要件の他にフラグ状態通知手段70が示されている。フラグ状態通知手段70は、書き換え終了後の電源投入時に、各フラグ領域の読み出し値と予め保有するフラグ領域の期待値を比較し、割り込みなどによって、フラッシュ領域の書き換えが正常に行われたかをCPU2に通知するものである。通常、この比較動作は、CPU2によってなされるが、このような構成とした場合にはCPU2が比較動作を行う必要がなくなり、さらに処理効率を向上することができる。

【0071】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載するような効果を奏する。

【0072】

第1の効果はフラッシュ領域の書き換え処理時にフラグ領域に書き換え処理の履歴の書き込みを行い、フラッシュ領域上のプログラムに処理を移す前に、書き換え処理が正常に終了したかの確認をフラグを参照するだけで確実かつ迅速に行うことができるため、書き換え処理の中断による誤動作を防止し、セットの破壊や致命的な事故を防止することができる効果がある。

【0073】

第2の効果は書き換え処理の開始段階で、書き換え処理の履歴を残すことが可能であるので、消去処理などの書き換え処理の初期段階での中止でも検出することができる効果がある。

【0074】

第3の効果は書き換え処理の各処理でそれぞれの処理を終了した履歴を残すことが可能であるので、書き換え処理中止後、再度書き換えを行う際、中止した直後の処理から再開することができる効果がある。

【0075】

第4の効果は、データ領域を連続したアドレスになるよう、構成することにより、プログラム作成を容易にできる効果がある。

【0076】

また、プログラム実行のためフラッシュメモリからRAMへプログラムの転送を行う従来の構成に対しては、プログラム実行のためのRAMのコストを削減し、通常処理プログラムの起動時間を削減することができる効果がある。

【図面の簡単な説明】

【図1】

本発明の一実施例の構成を示すブロック図である。

【図2】

図1中のフラッシュ領域4の構成を示す図であり、(A)は物理的な構成を示し、(B)は論理的な構成を示している。

【図3】

電源投入時における実施例の動作を示すフローチャートである。

【図4】

フラッシュ領域4の構成を詳細に示す図であり、(A)は物理的な構成を示し、(B)は論理的な構成を示している。

【図5】

フラグ領域2の構成を示す図である。

【図6】

図5に示したフラグ領域の書き換え処理の動作を示すフローチャートである。

【図7】

本発明の第2の実施例の構成を示す図である。

【図8】

従来例の説明図である。

【図9】

従来例の説明図である。

【図10】

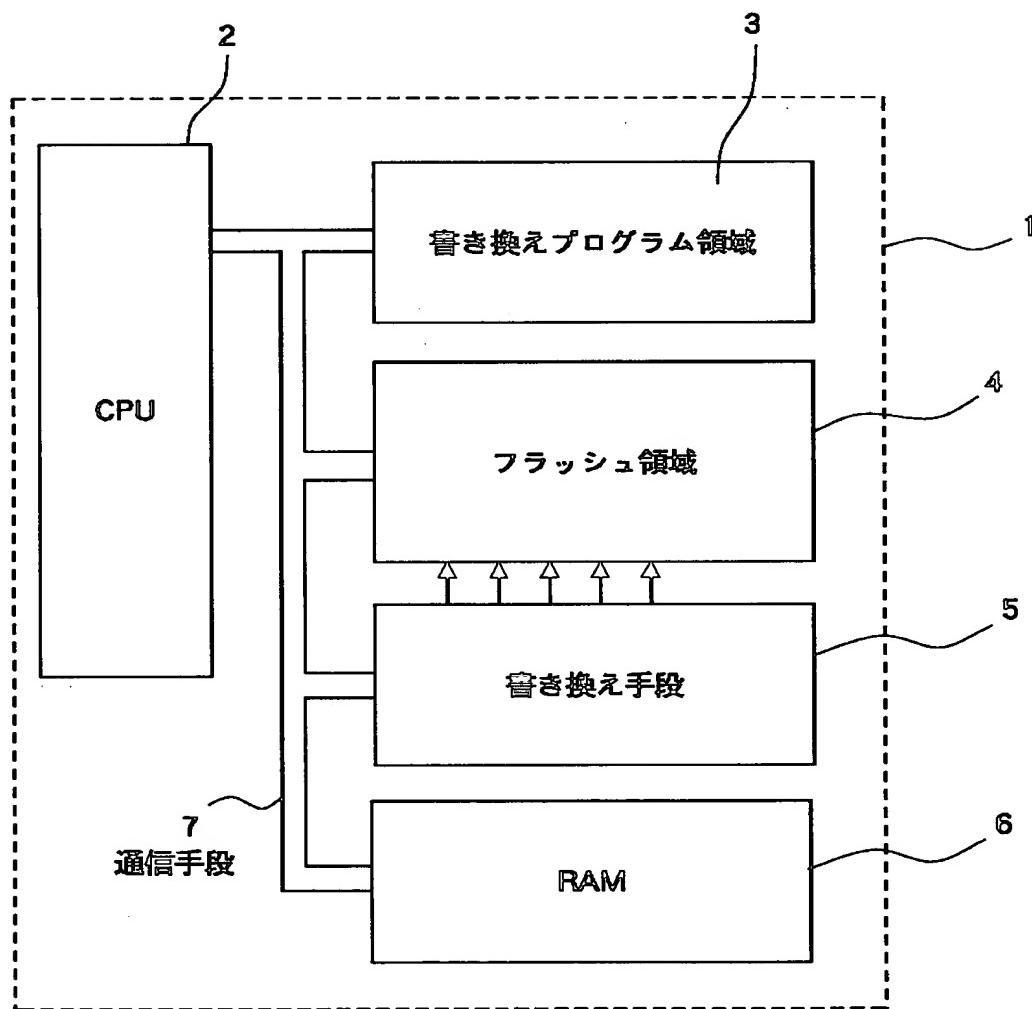
従来例の説明図である。

【符号の説明】

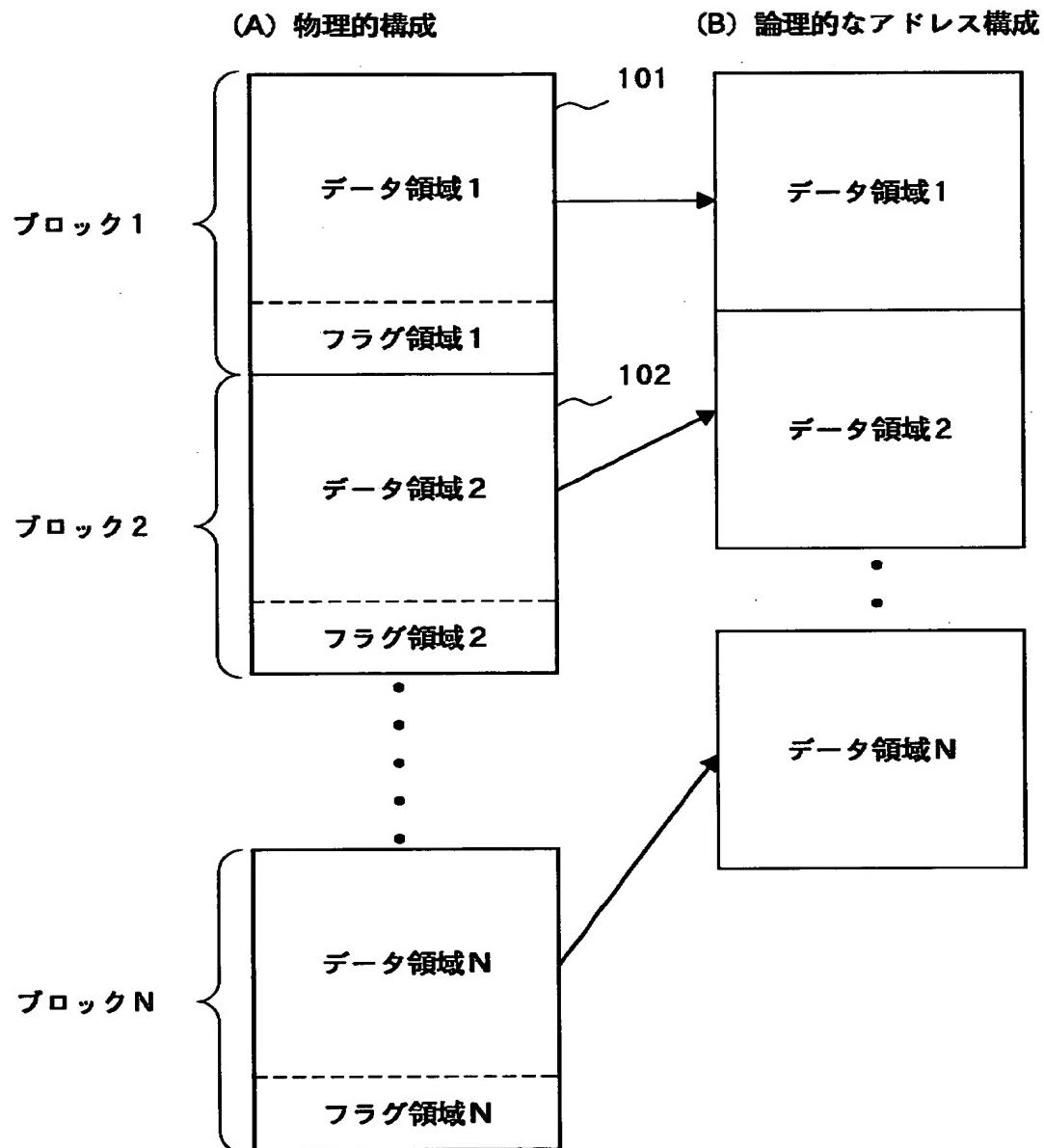
- 1 マイクロコンピュータ
- 2 C P U
- 3 書き換えプログラム領域
- 4 フラッシュ領域
- 5 書き換え手段
- 6 R A M
- 7 通信手段

【書類名】 図面

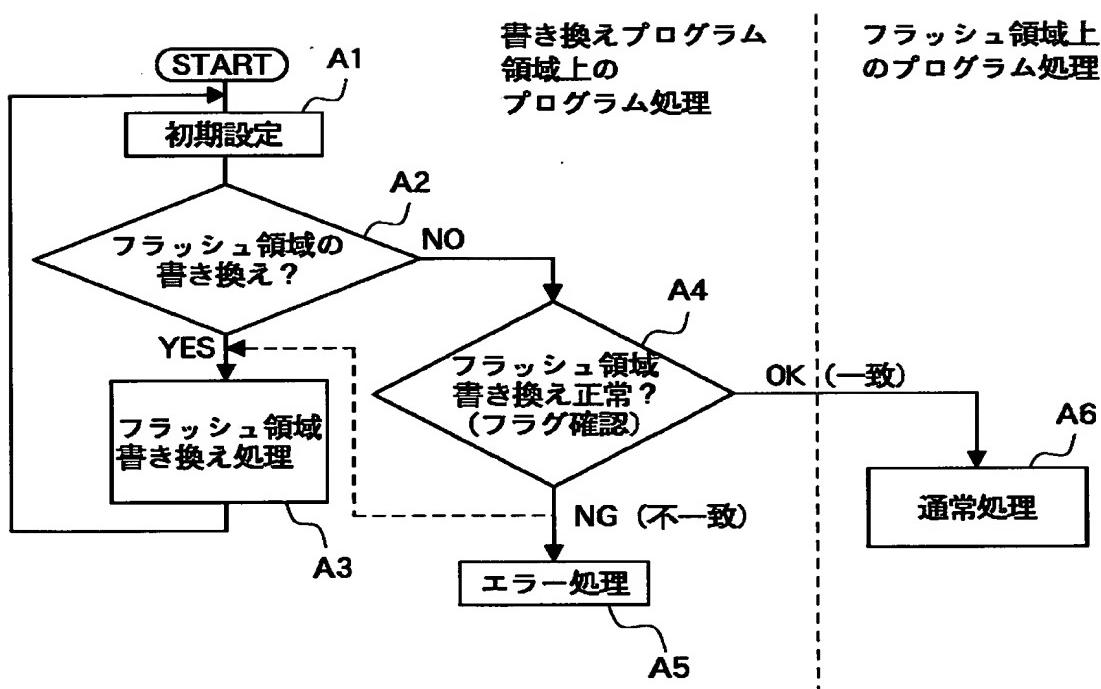
【図1】



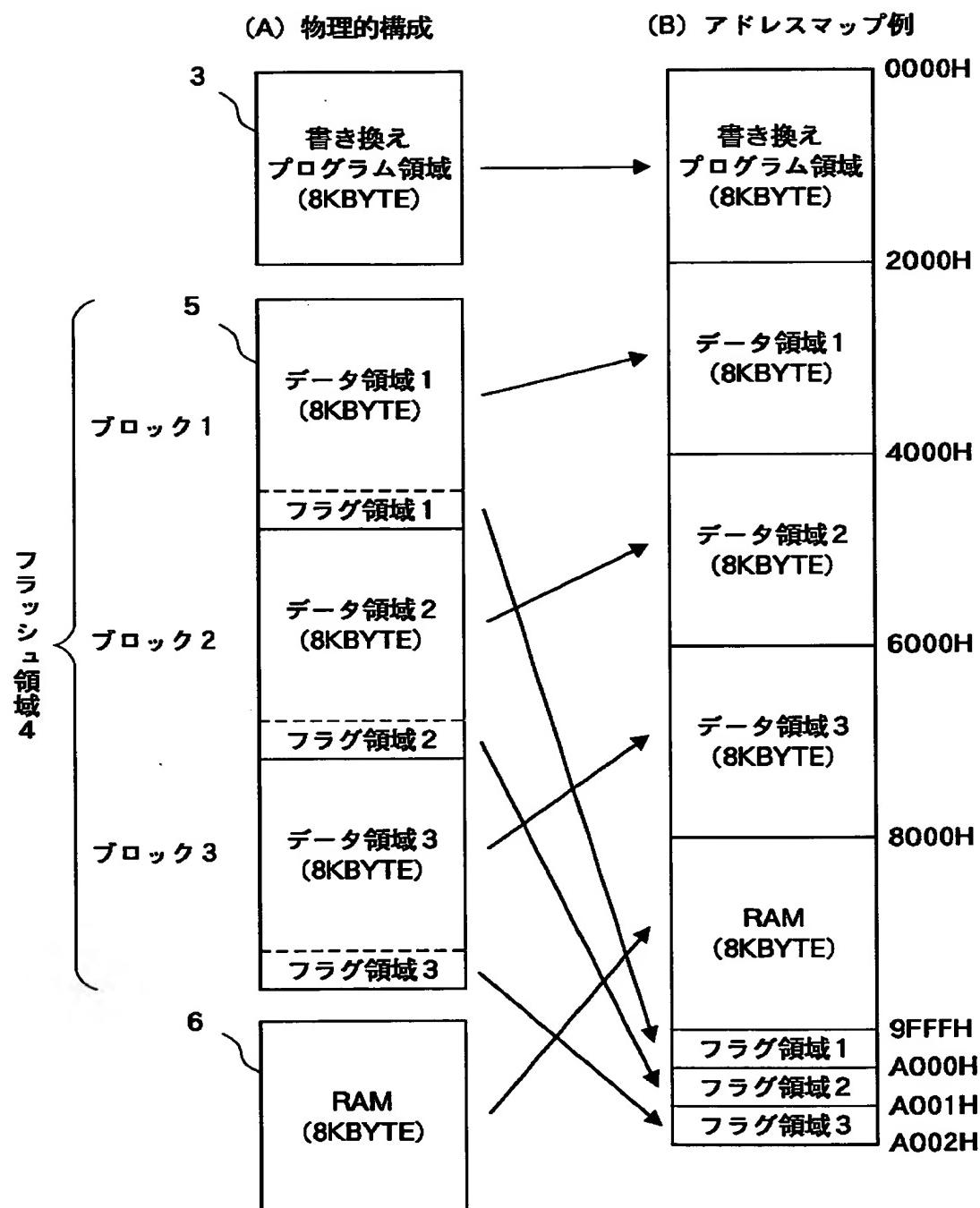
【図2】



【図3】



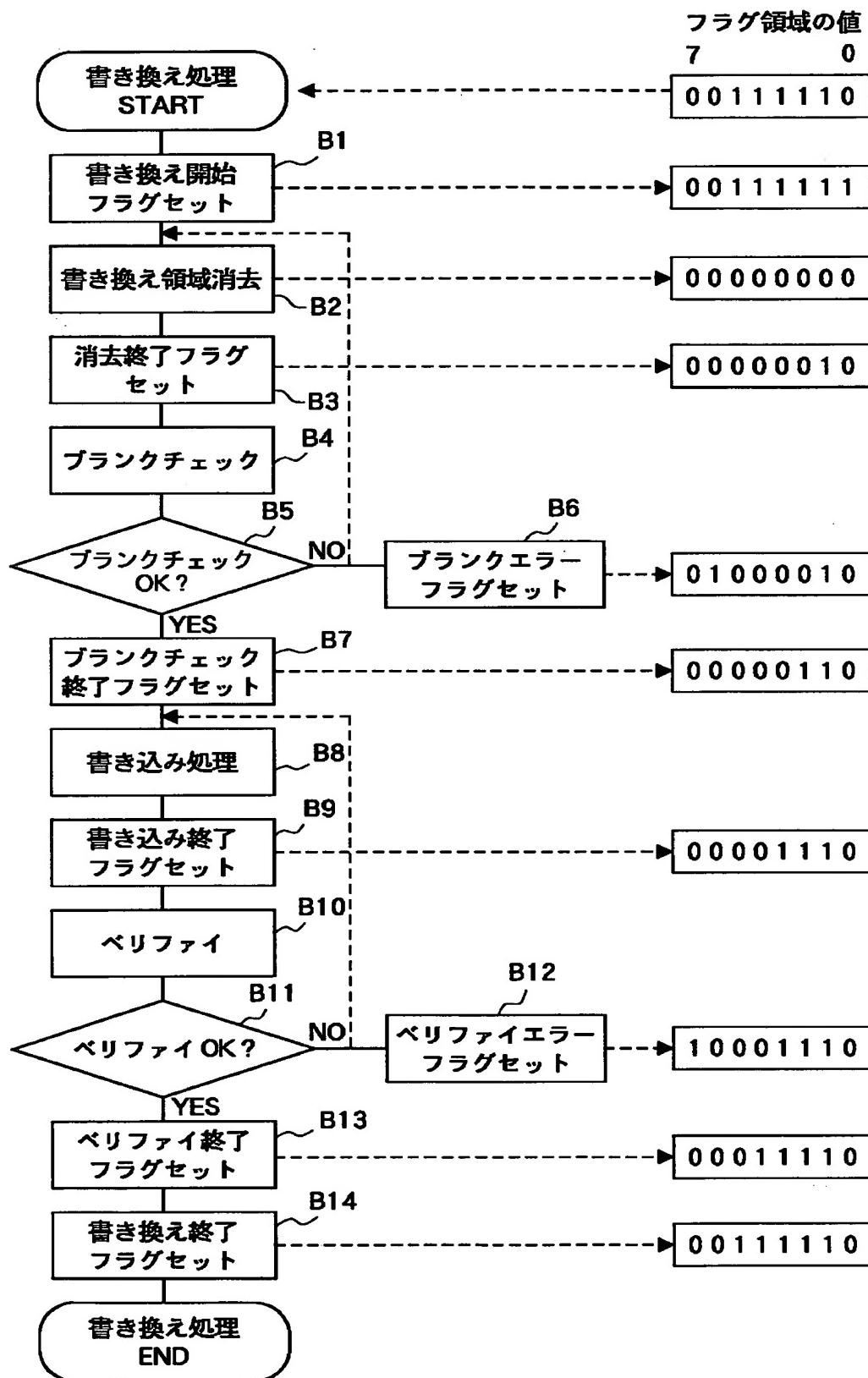
【図4】



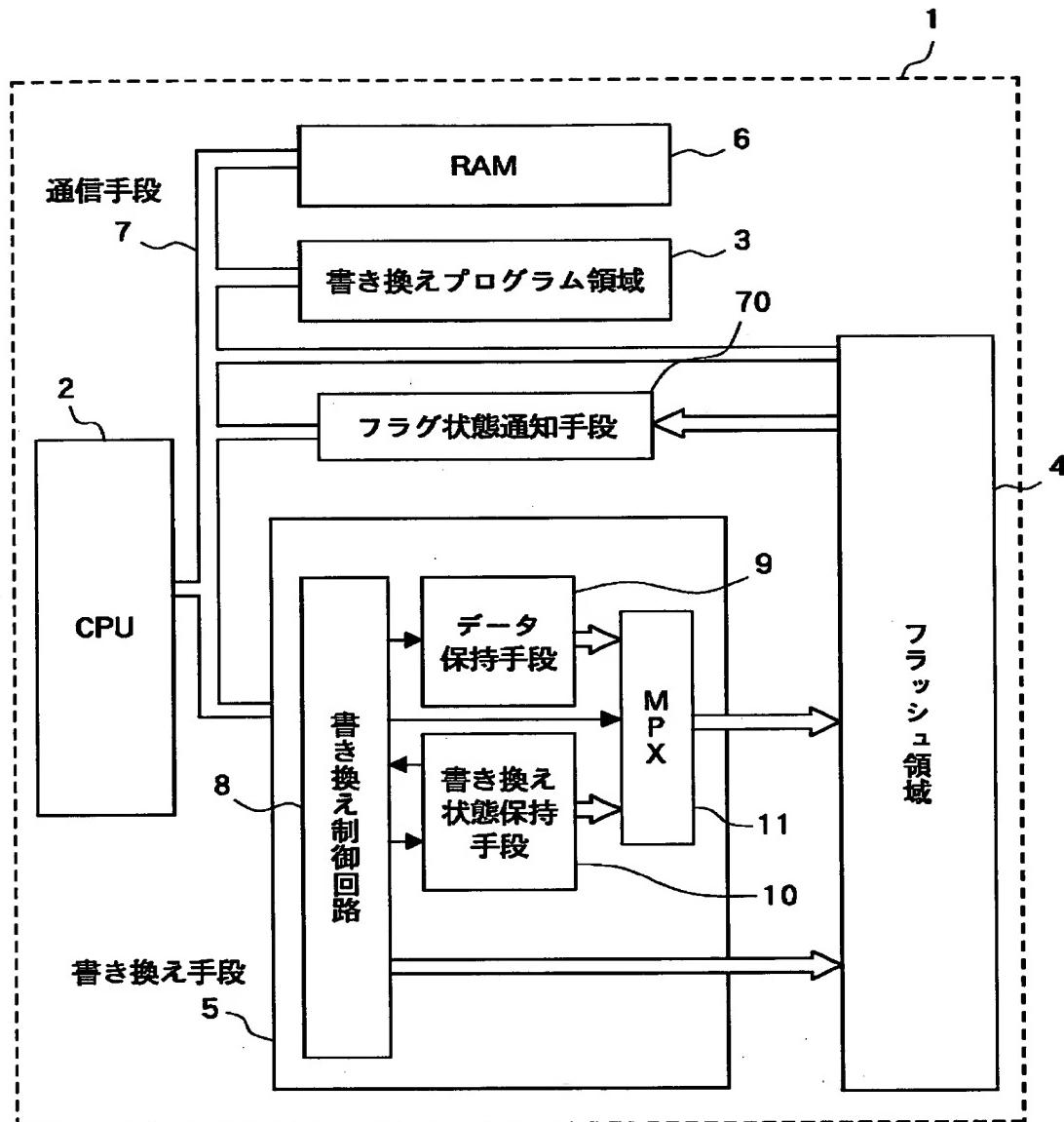
【図5】

| BIT7 | BIT6 | BIT5 | BIT4 | BIT3 | BIT2 | BIT1 | BIT0 |
|---------------------|--------------------|-------------------|--------------------|-------------------|-----------------------|-------------|-------------------|
| ペリファイ エラー フラグ | ブランク エラー フラグ | 書き換え 終了 フラグ | ペリファイ 終了 フラグ | 書き込み 終了 フラグ | ブランク チェック 終了フラグ | 消去終了 フラグ | 書き換え 開始 フラグ |

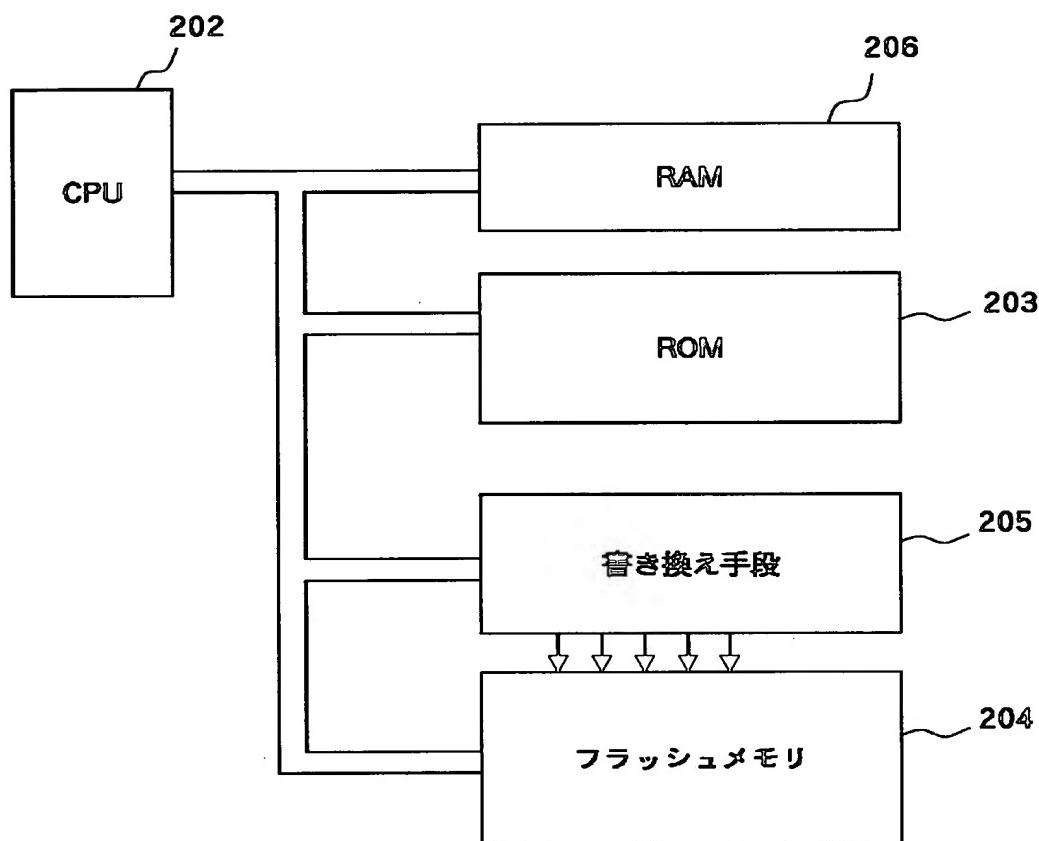
【図6】



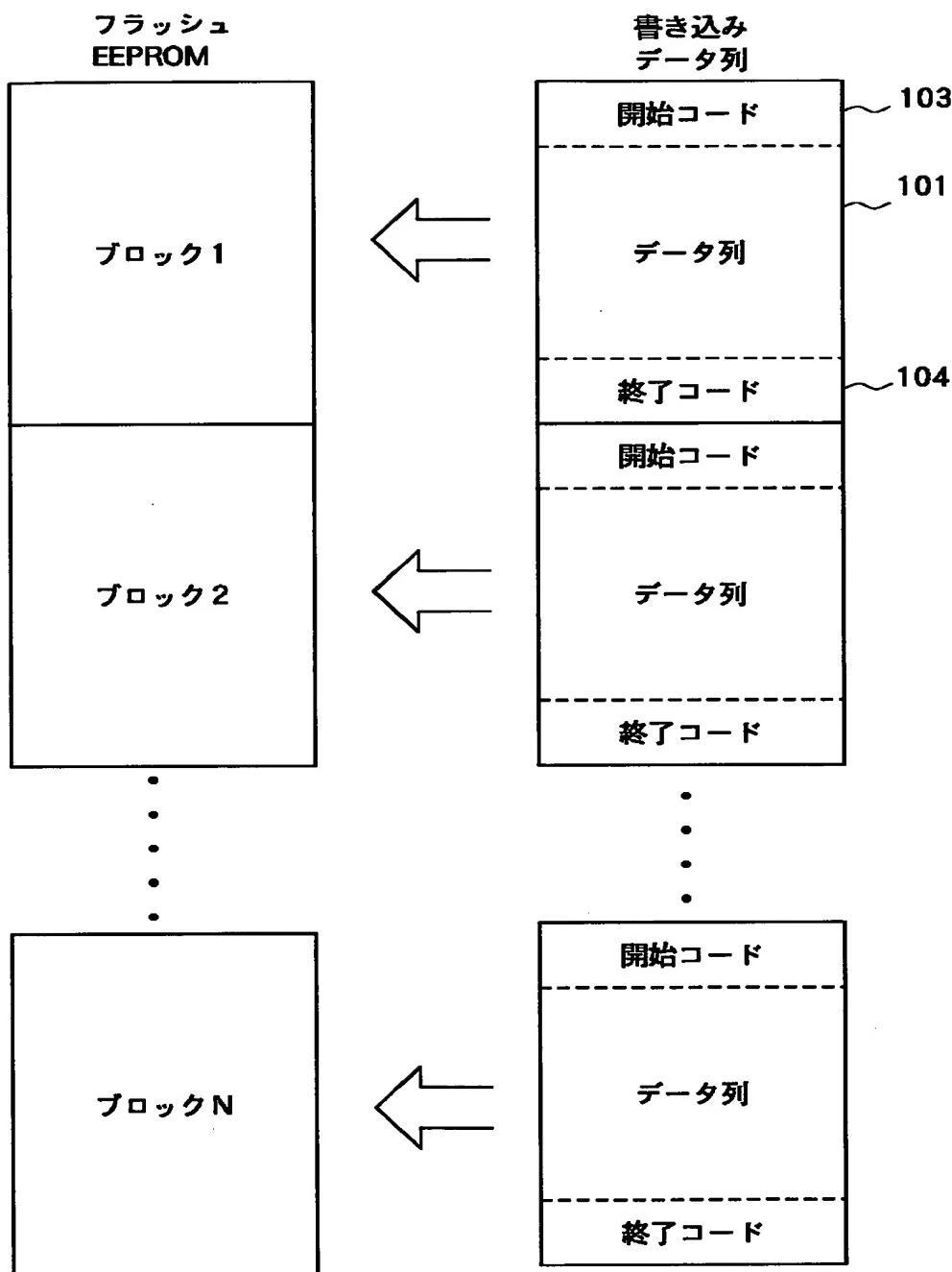
【図7】



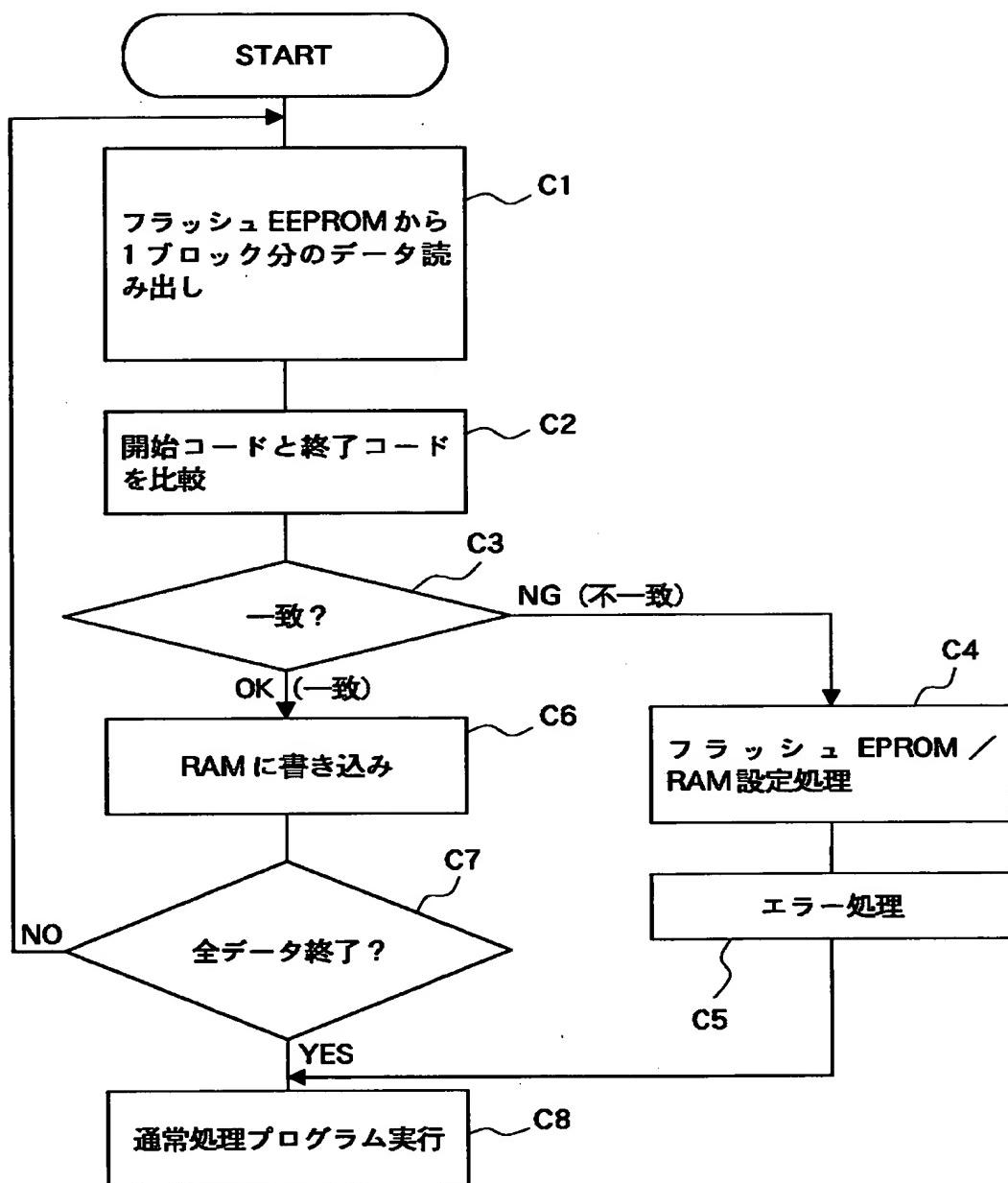
【図8】



【図9】



【図10】





【書類名】 要約書

【要約】

【課題】 フラッシュメモリの書き換え処理の中斷による書き込み不良を確実かつ迅速に検出すること。

【解決手段】 フラッシュメモリを備え、該フラッシュメモリに格納されるプログラムの書き換えを行うセルフプログラミング機能を持ったマイクロコンピュータにおけるフラッシュメモリへのプログラム格納方法において、書き換え用のプログラムを前記フラッシュメモリに書き込む際に、前記フラッシュメモリの一部に複数のフラグ領域を設け、書き換え処理の複数の段階の終了判定または良否の判定を行い、その結果を前記複数のフラグ領域のそれぞれに記録する。

【選択図】 図6

【書類名】 職権訂正データ
 【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000232036

【住所又は居所】 神奈川県川崎市中原区小杉町1丁目403番53

【氏名又は名称】 日本電気アイシーマイコンシステム株式会社

【代理人】

申請人

【識別番号】 100070219

【住所又は居所】 東京都港区赤坂1丁目9番20号 第16興和ビル
8階 若林国際特許事務所

若林 忠

【選任した代理人】

【識別番号】 100100893

【住所又は居所】 東京都港区赤坂1丁目9番20号 第16興和ビル
8階

渡辺 勝

【氏名又は名称】 金田 輝之

【選任した代理人】

【識別番号】 100088328

【住所又は居所】 東京都港区赤坂1丁目9番20号 第16興和ビル
8階

金田 輝之

【氏名又は名称】 金田 輝之

【選任した代理人】

【識別番号】 100106138

【住所又は居所】 東京都港区赤坂1丁目9番20号 第16興和ビル
8階

石橋 政幸

【氏名又は名称】 石橋 政幸

【選任した代理人】

【識別番号】 100106297

【住所又は居所】 東京都港区赤坂1丁目9番20号 第16興和ビル
8階 若林国際特許事務所

伊藤 克博

出願人履歴情報

識別番号 [000232036]

1. 変更年月日 1990年 8月13日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区小杉町1丁目403番53

氏 名 日本電気アイシーマイコンシステム株式会社